

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060985

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

H04L 29/08

H04L 7/00

(21)Application number : 11-232878

(71)Applicant : SONY CORP

(22)Date of filing : 19.08.1999

(72)Inventor : YOSHIDA HIDEKI

KAWAGUCHI DAISUKE

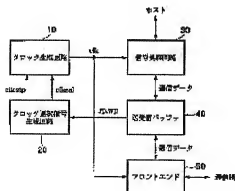
(54) TRANSMITTER, RECEIVER AND COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To realize the reduction of power consumption and the suppression of unnecessary radiation in communication equipment by controlling the frequency of a clock in accordance of a communication speed.

SOLUTION: A clock selection and signal generation circuit 20 outputs a clock selection signal clkssel and a clock stopping signal clkstp in accordance with the data accumulation quantity of a transmission/reception buffer 40, and a clock generation circuit 10 controls the frequency of a clock signal clk in accordance with clkssel and stops the supply of the clock

signal in accordance with clkstp. A signal processing circuit 30 successively writes transmission data corresponding to transmission information from a host to a transmission buffer at the time of answering and reads received data from a reception buffer at the time of reception to reproduce received information. A front end 50



successively reads transmission data from the transmission buffer at the time of transmission to output the data to a transmission line and receives data from a communication line at the time of reception to successively write them in the reception buffer.

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 L 29/08		H 0 4 L 13/00	3 0 7 C 5 K 0 3 4
7/00		7/00	A 5 K 0 4 7

審査請求 未請求 請求項の数13 O L (全 11 頁)

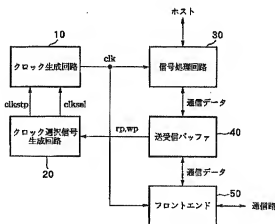
(21) 出願番号	特願平11-232878	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年8月19日 (1999.8.19)	(72) 発明者	吉田 英喜 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	川口 大介 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100094053 弁理士 佐藤 隆久 Fターム (参考) 5K034 AA15 HE23 HE50 MM08 QQ06 5K047 GG02 KK01 LL01 MM26 MM56

(54) 【発明の名称】 送信装置、受信装置及び通信装置

(57) 【要約】

【課題】 通信速度に応じてクロックの周波数を制御することにより、送受信回路がそれぞれ最適なクロック周波数で動作することができ、通信装置における消費電力の低減及び不要輻射の抑制を実現する。

【解決手段】 クロック選択信号生成回路20は、送受信バッファ40のデータ蓄積量に応じて、クロック選択信号clkssel及びクロック停止信号clkstpを出力し、クロック生成回路10はclksselに応じてクロック信号clkの周波数を制御し、またclkstpに応じてクロック信号の供給を停止する。信号処理回路30は、送信時ホストからの送信情報に応じて送信データを送信バッファに順次書き込み、受信時受信バッファから受信データを読み出し、受信情報を再生する。フロントエンド50は、送信時送信バッファから送信データを順次読み出して通信路に出力し、受信時通信路から受信データを受けて受信バッファに順次書き込む。



【特許請求の範囲】

【請求項 1】 所定の通信速度でデータの送信を行う送信装置であって、

送信データを記憶する送信バッファと、
周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信すべき情報データを送信データ系列として上記送信バッファに順次書き込む信号処理回路と、

上記クロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、上記送信バッファから上記送信データを順次読み出して送信するインターフェース回路と、

上記送信バッファのデータ蓄積量に応じて、生成するクロック信号の周波数を制御して上記信号処理回路及び上記インターフェース回路に供給し、所定の時間において上記送信データがない場合に、上記クロック信号の供給を停止するクロック供給回路とを有する送信装置。

【請求項 2】 所定の通信速度で送信されたデータを受信する受信装置であって、

受信データを記憶する受信バッファと、
周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、上記受信バッファから受信データを順次読み出し、当該受信データに応じた情報データを再生する信号処理回路と、

上記クロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、受信データを受信して上記受信バッファに順次書き込むインターフェース回路と、
上記受信バッファのデータ蓄積量に応じて、生成するクロック信号の周波数を制御して上記信号処理回路及び上記インターフェース回路に供給し、所定の時間において上記受信データがない場合に、上記クロック信号の供給を停止するクロック供給回路とを有する受信装置。

【請求項 3】 所定の通信速度でデータの送受信を行う通信装置であって、

送信データを記憶する送信バッファと、
受信データを記憶する受信バッファと、

周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信すべき情報データを送信データ系列として上記送信バッファに順次書き込み、上記受信バッファから受信データを順次読み出し、当該受信データに応じた情報データを再生する信号処理回路と、

周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信時上記送信バッファから上記送信データを順次読み出して送信し、受信時に受信データを受信して上記受信バッファに順次書き込むインターフェース回路と、

上記送信バッファ及び上記受信バッファのデータ蓄積量に応じて、生成するクロック信号の周波数を制御して上記信号処理回路及び上記インターフェース回路に供給

し、所定の時間において上記送信データ及び上記受信データがない場合、上記クロック信号の供給を停止するクロック供給回路とを有する通信装置。

【請求項 4】 上記送信バッファ及び受信バッファは、FIFOにより構成されている請求項 3 記載の通信装置。

【請求項 5】 上記クロック供給回路は、上記送信バッファまたは上記受信バッファのデータ蓄積量に応じて、クロック選択信号を生成するクロック選択信号生成回路と、

10 上記クロック選択信号に応じた周波数を持つクロック信号を生成するクロック生成回路とを有する請求項 3 記載の通信装置。

【請求項 6】 上記送信バッファに書き込まれるデータの量をカウントする第 1 の書き込みカウンタと、
上記送信バッファから読み出されるデータの量をカウントする第 1 の読み出しカウンタとを有し、

上記クロック選択信号生成回路は、上記第 1 の書き込みカウンタのカウント値と上記第 1 の読み出しカウンタのカウント値に応じて、上記クロック選択信号を生成する請求項 5 記載の通信装置。

20 【請求項 7】 上記クロック選択信号生成回路は、上記第 1 の書き込みカウンタのカウント値と上記第 1 の読み出しカウンタのカウント値との差に応じて上記送信バッファのデータ蓄積量を算出し、当該データ蓄積量に応じて上記クロック選択信号を生成する請求項 6 記載の通信装置。

【請求項 8】 上記クロック選択信号生成回路は、所定の時間において上記送信データがない場合に、上記クロック生成回路にクロック停止信号を出力する請求項 7 記載の通信装置。

【請求項 9】 上記クロック生成回路は、上記クロック選択信号生成回路から上記クロック停止信号を受けたとき、上記クロック信号の供給を停止する請求項 8 記載の通信装置。

【請求項 10】 上記受信バッファに書き込まれるデータの量をカウントする第 2 の書き込みカウンタと、
上記受信バッファから読み出されるデータの量をカウントする第 2 の読み出しカウンタとを有し、

上記クロック選択信号生成回路は、上記第 2 の書き込みカウンタのカウント値と上記第 2 の読み出しカウンタのカウント値に応じて、上記クロック選択信号を生成する請求項 5 記載の通信装置。

【請求項 11】 上記クロック選択信号生成回路は、上記第 2 の書き込みカウンタのカウント値と上記第 2 の読み出しカウンタのカウント値との差に応じて上記受信バッファのデータ蓄積量を算出し、当該データ蓄積量に応じて上記クロック選択信号を生成する請求項 10 記載の通信装置。

【請求項 12】 上記クロック選択信号生成回路は、所定の時間において上記受信データがない場合に、上記クロ

ック生成回路にクロック停止信号を出力する請求項 1 記載の通信装置。

【請求項 13】上記クロック生成回路は、上記クロック選択信号生成回路から上記クロック停止信号を受けたとき、上記クロック信号の供給を停止する請求項 12 記載の通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、送受信装置を含む通信装置、特に送受信データの状況に応じて送受信時の信号処理に用いられるクロック信号の周波数を制御することにより低消費電力及び不要輻射の抑制を可能な通信装置に関するものである。

【0002】

【従来の技術】通信装置において、通信路の品質や通信相手の通信処理能力などに応じて、実際の通信速度が変化する。例えば、通信路の品質が高い場合、データの送受信に用いられるクロック信号の周波数を高く設定でき、高速な通信を実現できる。また、通信相手が通信処理能力が高い場合に、送信側がそれに応じてデータ伝送速度を高く設定でき、通信路の許容範囲内において高速な通信を実現できる。

【0003】

【発明が解決しようとする課題】ところで、従来の通信装置においては、通信路の品質や通信相手の通信処理能力にかかわらず、常に一定のクロック周波数で動作する。即ち、通信速度は通信路の品質または通信相手の能力に応じて変化しても、通信装置に用いられるクロック信号の周波数がほぼ一定である。このため、遅い通信を行うとき、必要以上に高速なクロック信号が通信装置に供給されることとなり、その結果必要以上の電力を消費し、不要な電磁輻射が発生するなどの不利益が生じる。

【0004】本発明は、かかる事情に鑑みてなされたものであり、その目的は、実際の通信速度に応じて使用されるクロック信号の周波数を制御することにより、送受信回路がそれぞれ最適なクロック周波数で動作することができ、消費電力の低減及び不要な電磁輻射の抑制を実現できる通信装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するため、本発明の送信装置は、所定の通信速度でデータの送信を行う送信装置であって、送信データを記憶する送信バッファと、周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信すべき情報データを送信データ系列として上記送信バッファに順次書き込む信号処理回路と、上記クロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、上記送信バッファから上記送信データを順次読み出して送信するインターフェース回路と、上記送信バッファのデータ蓄積量に応じて、生成するクロック信号の

周波数を制御し、当該クロック信号を上記信号処理回路及び上記インターフェース回路に供給し、所定の時間において上記送信データがない場合に、上記クロック信号の供給を停止するクロック供給回路とを有する。

【0006】また、本発明の受信装置は、所定の通信速度で送信されたデータを受信する受信装置であって、受信データを記憶する受信バッファと、周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、上記受信バッファから受信データを順次読み出し、当該受信データに応じた情報データを再生する信号処理回路と、上記クロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、受信データを受信して上記受信バッファに順次書き込むインターフェース回路と、上記受信バッファのデータ蓄積量に応じて、生成するクロック信号の周波数を制御し、当該クロック信号を上記信号処理回路及び上記インターフェース回路に供給し、所定の時間において上記受信データがない場合に、上記クロック信号の供給を停止するクロック供給回路とを有する。

【0007】また、本発明の通信装置は、所定の通信速度でデータの送受信を行う通信装置であって、送信データを記憶する送信バッファと、受信データを記憶する受信バッファと、周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信すべき情報データを送信データ系列として上記送信バッファに順次書き込み、上記受信バッファから受信データを順次読み出し、当該受信データに応じた情報データを再生する信号処理回路と、周波数制御されたクロック信号を受けて、当該クロック信号の周波数に応じた速度で動作し、送信時に上記送信バッファから上記送信データを順次読み出して送信し、受信時に受信データを受信して上記受信バッファに順次書き込むインターフェース回路と、上記送信バッファ及び上記受信バッファのデータ蓄積量に応じて、生成するクロック信号の周波数を制御して上記信号処理回路及び上記インターフェース回路に供給し、所定の時間において上記送信データ及び上記受信データがない場合、上記クロック信号の供給を停止するクロック供給回路とを有する。

【0008】また、本発明では、好適には、上記送信バッファ及び受信バッファは、FIFOにより構成されている。上記クロック供給回路は、上記送信バッファまたは上記受信バッファのデータ蓄積量に応じて、クロック選択信号を生成するクロック選択信号生成回路と、上記クロック選択信号に応じた周波数を持つクロック信号を生成するクロック生成回路とを有する。

【0009】また、本発明では、好適には、上記送信バッファに書き込まれるデータの量をカウンタとする第 1 の書き込みカウンタと、上記送信バッファから読み出されるデータの量をカウンタとする第 1 の読み出しカウンタとを有し、上記クロック選択信号生成回路は、上記第 1 の

書き込みカウンタのカウント値と上記第1の読み出しカウンタのカウント値に応じて、上記クロック選択信号を生成する。もっと具体的に、例えば、上記クロック選択信号生成回路は、上記第1の書き込みカウンタのカウント値と上記第1の読み出しカウンタのカウント値との差に応じて上記送信バッファのデータ蓄積量を算出し、当該データ蓄積量に応じて上記クロック選択信号を生成する。

【0010】また、本発明では、好適には、上記受信バッファに書き込まれるデータの量をカウントする第2の書き込みカウンタと、上記受信バッファから読み出されるデータの量をカウントする第2の読み出しカウンタとを有し、上記クロック選択信号生成回路は、上記第2の書き込みカウンタのカウント値と上記第2の読み出しカウンタのカウント値に応じて、上記クロック選択信号を生成する。もっと具体的に、例えば、上記クロック選択信号生成回路は、上記第2の書き込みカウンタのカウント値と上記第2の読み出しカウンタのカウント値との差に応じて上記受信バッファのデータ蓄積量を算出し、当該データ蓄積量に応じて上記クロック選択信号を生成する。

【0011】さらに、本発明では、好適には、上記クロック選択信号生成回路は、所定の時間において上記送信データ及び上記受信データがないとき、上記クロック生成回路にクロック停止信号を出力する。上記クロック生成回路は、上記クロック選択信号生成回路から上記クロック停止信号を受けたとき、上記クロック信号の供給を停止する。

【0012】本発明によれば、信号処理回路及びインターフェース回路は、クロック供給回路により供給されるクロック信号に応じてそれぞれ動作速度が制御される。信号処理回路において、送信時に送信情報に応じた送信データが生成され、送信バッファに順次書き込まれ、受信時に受信バッファから受信データが順次読み出され、それに応じて受信情報が再生される。インターフェース回路により、送信時に送信バッファから送信データが順次読み出されて通信路に出力され、受信時に通信路から受信データが順次受信され、受信バッファに書き込まれる。送信バッファまたは受信バッファに蓄積した送信データまたは受信データの量に応じて、クロック信号供給回路により供給されるクロック信号の周波数が制御されるので、通信速度に応じて信号処理回路及びインターフェース回路がそれぞれ最適な動作速度で動作するように制御され、さらに、データの送受信が行われていないとき、クロック信号の供給が停止するようにより制御されるので、消費電力の低減と不要な電磁放射の防止を実現可能である。

【0013】

【発明の実施の形態】図1は本発明に係る通信装置の一実施形態を示す図であり、通信装置の全体の構成を示す

ブロック図である。図示のように、本発明の通信装置は、クロック生成回路10、クロック選択信号生成回路20、信号処理回路30、送受信バッファ40及びフロントエンド50により構成されている。

【0014】クロック生成回路10は、クロック選択信号生成回路20からのクロック選択信号 clk_sel に応じた周波数を持つクロック信号 clk を生成し、信号処理回路30及びフロントエンド50にそれぞれ供給する。クロック生成回路10は、例えば、所定の周波数を持つ基本クロックを生成し、当該基本クロックを所定の分周比で分周し、周波数が2の中乗で減速する複数のクロック信号を生成し、クロック選択信号 clk_sel に応じて、これら複数のクロック信号から適宜一つを選択して、クロック信号 clk として、信号処理回路30及びフロントエンド50にそれぞれ出力する。この場合、クロック生成回路10は、発振回路、分周回路及び選択回路により構成できる。

【0015】また、クロック生成回路10は、例えば、周波数制御信号に応じて周波数が連続的に可変な発振回路を用いて、クロック選択信号生成回路20からのクロック選択信号 clk_sel に応じて、上記周波数制御信号を生成することにより、発振回路の発振周波数を所定値に制御することができる。この場合、クロック生成回路10は、例えば、PLL回路により構成することができる。また、このように構成されたクロック生成回路10により、クロック信号 clk の周波数を連続的に制御でき、信号処理回路30及びフロントエンド50の処理速度をきめ細かく制御することができる。

【0016】クロック選択信号生成回路20は、送受信バッファ40からの読み出しアドレス p と書き込みアドレス w に応じて、送受信バッファ40に蓄積した送信または受信データの量を求めて、当該データ蓄積量に応じて、クロック信号 clk の周波数を制御するクロック選択信号 clk_sel を生成し、クロック生成回路10に出力する。また、所定の判定時間において、データの送受信が行われていないと判断した場合、クロック生成回路10にクロック信号の供給を停止させるクロック停止信号 clk_stp を出力する。クロック生成回路10は、このクロック停止信号 clk_stp を受けると、クロック信号 clk の出力を停止させる。

【0017】信号処理回路30は、クロック生成回路10からのクロック信号 clk に応じて動作する。即ち、信号処理回路30の信号処理速度は、供給されるクロック信号 clk の周波数によって制御される。クロック信号 clk の周波数が高いほど信号処理回路30の処理速度が高くなり、逆に、クロック信号 clk の周波数が低いほど信号処理回路30の処理速度が低くなる。送信時に、信号処理回路30は、例えば、ホストシステムからの送信情報を受けて、当該送信情報に応じて所定の信号処理により送信データ系列を生成し、順次送信バッファ

に書き込む。なお、送信時に行われる信号処理として、例えば、送信情報の量子化、符号化処理などが含まれる。

【0018】受信時に、信号処理回路30は、受信バッファから受信データを読み出し、当該受信データに対して所定の信号処理を行って、受信情報を生成し、例えば、ホストシステムに出力する。なお、受信時に行われる信号処理として、例えば、復号処理、誤り訂正処理などが含まれる。複数のホストシステムを有し、これらのホストシステムが同時に通信を行う場合に、当該信号処理回路30において、送信時に送信データの多重化処理を行い、また、受信時に多重化した受信データを分離する分離処理が行われる。なお、この多重化処理及び分離処理は、例えば、フロントエンド50により行われることもできる。図1において、便宜上送信データ及び受信データを総じて通信データとして表記している。また、ホストシステムを単にホストと略記している。

【0019】送受信バッファ40は、例えば、FIFO(First-in, first-out)というバッファメモリにより構成され、FIFOは、データの書き込みと読み出しを順次に行い、さらに書き込みの順にデータが読み出されることが特徴である。送受信バッファ40には、送信バッファと受信バッファがそれぞれ設けられている。送信時に、信号処理回路30からの送信データが順次送信バッファに書き込まれ、送信バッファに蓄積される。一方、送信バッファに蓄積されたデータが順次フロントエンド50に読み出される。フロントエンド50の読み出し速度が通信速度によって決まるので、ある一定の通信速度に対して、信号処理回路30の処理速度を下げると、送信バッファのデータ蓄積量が減少し、逆に、信号処理回路30の処理速度を上げると、送信バッファのデータ蓄積量が増加する。信号処理回路30による書き込みに応じて、書き込みアドレスpが更新され、また、フロントエンド50による読み出しに応じて、読み出しアドレスrが更新される。このため、これらの書き込みアドレスp及び読み出しアドレスrに応じて、当該送信バッファのデータ蓄積量を算出できる。

【0020】受信時に、フロントエンド50により、通信路から相手側の送信データを順次受信し、受信バッファに蓄積される。一方、受信バッファに蓄積されたデータが信号処理回路30により順次読み出される。フロントエンド50による受信データの書き込み速度が通信速度によって決まるので、ある一定の通信速度に対して、信号処理回路30の処理速度を下げると、受信バッファのデータ蓄積量が増加し、逆に、信号処理回路30の処理速度を上げることによって受信バッファのデータ蓄積量を減らすことができる。フロントエンド50による書き込みに応じて、書き込みアドレスpが更新され、また、信号処理回路30による読み出しに応じて、読み出しアドレスrが更新される。このため、これらの書き込みア

ドレスwp及び読み出しアドレスrpに応じて、当該受信バッファのデータ蓄積量を算出できる。

【0021】フロントエンド50は、送受信バッファ40と通信路との間に設けられているインターフェース回路である。フロントエンド50は、上述したように、クロック生成回路10により供給されるクロック信号c1kを受けて動作する。即ち、フロントエンド50の処理速度は、クロック信号c1kの周波数により制御される。クロック信号c1kの周波数が高い場合、フロントエンド50の処理速度が高くなり、逆に、クロック信号c1kの周波数が低い場合、フロントエンド50の処理速度が低くなる。送信時に、フロントエンド50は、送受信バッファ40にある送信バッファに蓄積した送信データを読み出し、通信路に出力し、受信時に、フロントエンド50は、通信路から相手側の送信データを受信し、受信バッファに書き込む。

【0022】送受信バッファを用いる通信装置において、送信時に送信バッファに蓄積した未送信データの量により、通信装置の通信速度を知ることができる。また、受信時に受信バッファに蓄積した未処理データの量により、同様に通信装置の通信速度を知ることができる。この原理を利用して、通信装置における信号処理回路30及びフロントエンド50に供給するクロック信号c1kの周波数を適宜に制御することが可能である。

【0023】本実施形態の通信装置において、クロック選択信号生成回路20は、送受信バッファ40からの書き込みアドレスwp及び読み出しアドレスrpに応じて、送受信バッファの蓄積データ量を算出し、これに応じてクロック周波数を制御するクロック選択信号c1kselを生成し、クロック生成回路10に供給する。クロック生成回路10は、クロック選択信号c1kselに応じて、生成するクロック信号c1kの周波数を制御する。この制御によって、送受信バッファに蓄積したデータの量が増加すると、クロック生成回路10により供給されるクロック信号c1kの周波数が高く制御され、これに応じて信号処理回路30及びフロントエンド50の処理速度が向上する。逆に送受信バッファに蓄積したデータの量が減少すると、クロック生成回路10により供給されるクロック信号c1kの周波数が低く制御され、これに応じて信号処理回路30及びフロントエンド50の処理速度が低下する。即ち、送受信データの量が低減した場合、信号処理回路30及びフロントエンド50の処理速度を低減させることにより、消費電力の節約及びこれらの回路からの不要輻射の低減を図る。

【0024】さらに、実際にデータの送受信が行われていないとき、または伝送速度が非常に低い場合に、送受信バッファの蓄積データ量が低くなる。クロック選択信号生成回路20の制御により、一定の判定時間において、送受信バッファに蓄積したデータの量が一定の基準値を満たしていないとき、クロック信号c1kの供給が

停止される。これに応じて、信号処理回路30及びフロントエンド50とも停止状態に保持され、これらの回路の消費電力を低く抑制されるとともに、動作の停止により不要な電磁輻射を抑制する効果が得られる。

【0025】クロック信号clkの供給が停止したあと、クロック選択信号生成回路20は、引き続き送受信バッファ40のデータ蓄積量を監視しつつ、当該データ蓄積量が一定の基準値を上回るとき、データ蓄積量に応じたクロック選択信号clkse1をクロック生成回路10に出力し、クロック信号clkの供給を再開させる。

【0026】以下、図2～図7を参照しつつ、本実施形態の通信装置における送信時及び受信時の動作についてそれぞれ詳述する。図2は、送受信バッファ40にある送信バッファ41、リード（読み出し）アドレスカウンタ43、ライト（書き込み）アドレスカウンタ44及びクロック選択信号生成回路20、タイマー回路42を含む部分回路の構成を示すブロック図である。図2に示すこの部分回路は、本実施形態の通信装置における送信動作に係わるものである。

【0027】送信バッファ41に、図1に示す信号処理回路30からの送信データsd0が順次書き込まれる。一方、送信バッファ41に蓄積したデータがフロントエンド50に順次読み出され、当該読み出された送信データsd1がフロントエンド50を介して、通信路に出力される。

【0028】タイマー回路42は、所定の時間を設定するために設けられている。図2に示すように、タイマー回路42は、クロック選択信号生成回路20からの指示信号に従って所定の時間を設定して、時間のカウントを始める。そして設定した時間が経過したとき、クロック選択信号生成回路20に時間経過を示す信号を出力する。クロック選択信号生成回路20は、タイマー回路42を用いて所定の時間を設定し、その間送信バッファの状態を監視することによって、クロック選択信号clkse1またはクロック停止信号clstpを適宜に生成する。

【0029】リードアドレスカウンタ43は、フロントエンド50が送信バッファ41に蓄積した送信データsd1を読み出すときの読み出しアドレスrpを生成する。ここで、送信データsd1の読み出しは、ビット単位、バイト単位またはワード単位の何れかで行われるとすると、1単位の送信データがフロントエンド50に読み出される毎に読み出しアドレスrpが1づつ増加する。ライトアドレスカウンタ44は、信号処理回路30が送信バッファ41に送信データsd0を書き込むときの書き込みアドレスwpを生成する。例えば、データの書き込みはバイト単位で行われる場合に、1バイトの送信データが送信バッファ41に書き込まれる毎に書き込みアドレスwpが1づつ増加する。

【0030】クロック選択信号生成回路20は、ホストシステムからの送信要求信号send_req、リードアドレスカウンタ43からの読み出しアドレスrp及びライトアドレスカウンタ44からの書き込みアドレスwpに応じて、クロックの周波数を制御するクロック選択信号clkse1及びクロック停止信号clstpを生成し、図1に示すクロック生成回路10に出力する。

【0031】クロック選択信号生成回路20は、ホストシステムからの送信要求信号send_reqに応じて、クロック選択信号clkse1の生成を始める。この場合、クロック選択信号生成回路20は、書き込みアドレスwp及び読み出しアドレスrpに応じて、送信バッファ41に蓄積した未送信データの量を算出する。例えば、送信開始時のリセット動作により、書き込みアドレスwp及び読み出しアドレスrpがともに0にリセットされるとすると、送信開始後、送信バッファ41への書き込み及び送信バッファ41からの読み出し毎に書き込みアドレスwp及び読み出しアドレスrpが1づつ递增されるので、任意の時刻における送信バッファ41の未送信データの量 ΔD は、次式により求められる。

【0032】

【数1】

$$\Delta D = w - r - p \quad \dots (1)$$

【0033】クロック選択信号生成回路20は、式(1)に応じて算出した未送信データの量 ΔD に応じて、クロック選択信号clkse1を生成する。また、未送信データの量 ΔD が所定の時間 T_{mr} においてある所定の基準値 D_{mr} またはそれ以下に保持されている場合、クロック信号の供給を停止させるクロック停止信号clstpを生成し、クロック生成回路10に出力する。なお、上記基準値 D_{mr} は、例えば、0に設定することができる。

【0034】図3は、送信時におけるクロック選択信号生成回路20の動作状態を示す状態遷移図である。図示のように、送信時に3つの動作状態、即ち、送信待機状態SST1、送信開始状態SST2及び送信停止状態（サスペンド状態）SST0が存在する。クロック選択信号生成回路20は、送信バッファ41に蓄積した未送信データの量 ΔD に応じて、これらの状態のうち何れかに保持される。初期状態として、クロック選択信号生成回路20は送信待機状態SST1に保持される。この状態において、クロック選択信号生成回路20は、クロック生成回路10にもっとも低い周波数のクロックを出力するようにクロック選択信号clkse1を生成し、クロック生成回路10に出力する。そして、書き込みアドレスwpと読み出しアドレスrpが、 $(w = r)$ を満たしている間、即ち、未送信データの量 ΔD が0に保たれている間このクロック選択信号を出力し続ける。

【0035】送信待機状態SST1において、クロック

送信信号生成回路20が($w_p > r_p$)、即ち、送信バッファ41に未送信データを検出した場合、送信開始状態SST2に遷移する。送信開始状態SST2において、クロック選択信号生成回路20は、書き込みアドレス w_p 及び読み出しアドレス r_p に応じて、クロック選択信号 clk_sel の生成及び状態の遷移を制御する。例えば、($w_p > r_p$)のとき、クロック選択信号生成回路20は、式(1)に応じて未送信データ量 ΔD を算出し、これに応じてクロック選択信号 clk_sel を適宜生成する。一方、($w_p = r_p$)の状態が時間 T_e 以上続いたとき、送信待機状態SST1に状態遷移する。

【0036】送信開始状態SST2において、クロック選択信号生成回路20は、式(1)に応じて未送信データ量 ΔD を算出し、これに応じてクロック選択信号 clk_sel を適宜生成する。例えば、時間 t における書き込みアドレス、読み出しアドレス及びクロック周波数をそれぞれ $w_p(t)$ 、 $r_p(t)$ 及び $f_{ck}(t)$ とすると、異なる二つの時刻 t_1 、 t_2 において、受信バッファ45の未処理データ量 ΔD 、(t_1)、 ΔD 、(t_2)はそれぞれ次式に応じて算出される。

【数2】

$$\begin{aligned}\Delta D, (t_1) &= w_p(t_1) - r_p(t_1) \\ \Delta D, (t_2) &= w_p(t_2) - r_p(t_2) \\ &\dots (2)\end{aligned}$$

【0038】クロック選択信号生成回路20は、 ΔD 、(t_1) $>$ ΔD 、(t_2)の場合、 $f_{ck}(t_1) < f_{ck}(t_2)$ を満たすようクロック選択信号 clk_sel を生成する。

【0039】クロック選択信号生成回路20は、送信待機状態SST1が時間 T_e 以上続いたとき、サスペンド状態SST0に遷移する。サスペンド状態SST0に遷移したあと、まずクロック選択信号生成回路20はクロック停止信号 clk_stp をクロック生成回路10に出力する。これに応じて、クロック生成回路10はクロック信号 clk の供給を停止するので、信号処理回路30及びフロントエンド50の動作がそれぞれ停止する。

【0040】サスペンド状態SST0において、クロック選択信号生成回路20は、送信バッファ41の状態を監視し続けて、送信バッファ41に未送信データがない場合、即ち($w_p = r_p$)の場合、サスペンド状態SST0に保持される。送信バッファ41に未送信データを検出した場合、即ち($w_p > r_p$)のとき、送信待機状態SST1に遷移する。

【0041】上述したように、クロック選択信号生成回路20は、送信バッファ41の状態、具体的に送信バッファ41に蓄積した未送信データの量 ΔD 、に対応して、送信待機状態SST1、送信開始状態SST2及びサスペンド状態SST0の何れかに保持される。それぞれの状態において、クロック選択信号生成回路20は送

信バッファのデータ量 ΔD 。に応じてクロック選択信号 clk_sel またはクロック停止信号 clk_stp を適宜生成し、クロック生成回路10に供給することにより、送信データを最適な速度で通信路に出力することができ、かつ送信データがない場合、信号処理回路30及びフロントエンド50の動作を停止させることによって、無駄な消費電力と不要な輻射の発生を防止できる。

【0042】図4は、本発明の通信装置における送信時の動作の流れを示すフローチャートである。以下、図4を参照しつつ、送信動作について説明する。送信動作は、例えば、ホストシステムからの送信要求信号 $send_req$ を受けて始まる。まず、クロック選択信号生成回路20により、所定の周波数を持つデフォルトクロック信号 clk_0 を選択するクロック選択信号 clk_sel が出力され、これに応じて信号処理回路30及びフロントエンド50にクロック信号 clk_0 がそれぞれ供給される。フロントエンド50は、当該クロックにおいて通信路を介して受信側との接続を確立する(ステップSS1)。

【0043】次に、クロック選択信号生成回路20は、送信待機状態に保持される(ステップSS2)。この状態において、送信バッファ41に未送信データの有無を検出し、検出の結果に応じて送信をスタートさせる(ステップSS3)。

【0044】送信開始後、クロック選択信号生成回路20は、送信バッファ41のステータス(状態)を検出し(ステップSS4)、送信バッファ41に蓄積した未送信データの量 ΔD 。に応じて最適なクロック信号を選択するクロック選択信号 clk_sel を生成する(ステップSS5)。

【0045】そして、クロック生成回路10は、クロック選択信号 clk_sel により選択した最適なクロック信号 clk を生成し、信号処理回路30及びフロントエンド50にそれぞれ供給する。フロントエンド50は、供給されたクロック信号 clk において受信側との接続を確立し、送信バッファ41から送信データを読み出し、通信路を介して受信側に伝送する(ステップSS6)。

【0046】そして、クロック選択信号生成回路20は、例えば、ホストシステムからの送信要求信号 $send_req$ 及び送信バッファ41の未送信データの量 ΔD 。に応じて、送信終了するかを判断する(ステップSS7)。送信を継続する場合、ステップSS4に戻る。このように、本実施形態の通信装置において、送信バッファ41に蓄積した送信データが0になるまで、蓄積した送信データの量 ΔD 。に応じて最適なクロック信号を選択し、選択したクロック信号において受信側との接続を確立し、そして送信バッファ41から送信データを読み出して受信側に伝送する一連の動作が繰り返して行われる。

【0047】次に、図5～図7を参照しつつ、本実施形態の通信装置における受信時の動作について説明する。

【0048】図5は、送受信バッファ40にある受信バッファ45、ライトアドレスカウンタ46、リードアドレスカウンタ47及びクロック選択信号生成回路20、タイマー回路42を含む部分回路の構成を示すブロック図である。図5に示すこの部分回路は、本実施形態の通信装置の受信動作に係わるものである。

【0049】受信バッファ45に、図1に示すフロントエンド50からの受信データrd1が順次書き込まれる。一方、受信バッファ45に蓄積したデータが信号処理回路30に順次読み出され、当該読み出された受信データrd0が、信号処理回路30により処理され、送信相手側によって伝送される情報データが再生されてホストシステムに出力される。

【0050】タイマー回路42は、クロック選択信号生成回路20からの指示信号に従って所定の時間を設定して、時間のカウンタを始める。そして設定した時間が経過したとき、クロック選択信号生成回路20に時間経過を示す信号を出力する。クロック選択信号生成回路20は、タイマー回路42を用いて所定の時間を設定し、その間送受信バッファの状態を監視することによって、クロック選択信号clksselまたはクロック停止信号clkstpを適宜に生成する。

【0051】ライトアドレスカウンタ46は、フロントエンド50が受信バッファ45に受信データsd1を書き込むときの書き込みアドレスwpを生成する。例えば、データの書き込みはバイト単位で行われる場合に、1バイトの受信データが受信バッファ45に書き込まれる毎に書き込みアドレスwpが1づつ増加する。リードアドレスカウンタ47は、信号処理回路30が受信バッファ45から蓄積した受信データrd0を読み出すときの読み出しアドレスrpを生成する。例えば、受信データの読み出しは、バイト単位で行われる場合に、1バイトの受信データが信号処理回路30に読み出される毎に読み出しアドレスrpが1づつ増加する。

【0052】クロック選択信号生成回路20は、ライトアドレスカウンタ46からの書き込みアドレスwp及びリードアドレスカウンタ47からの読み出しアドレスrpに応じて、クロックの周波数を制御するクロック選択信号clkssel及びクロック停止信号clkstpを生成し、図1に示すクロック生成回路10に出力する。

【0053】クロック選択信号生成回路20は、書き込みアドレスwp及び読み出しアドレスrpに応じて、受信バッファ45に蓄積した未処理データの量を算出する。例えば、受信開始時のリセット動作により、書き込みアドレスwp及び読み出しアドレスrpがともに0にリセットされるとすると、受信開始後、受信バッファ45への書き込み及び受信バッファ45からの読み出し毎に書き込みアドレスwp及び読み出しアドレスが1づつ

増加するので、任意の時刻における受信バッファ45の未処理データの量 ΔD は、次式により求められる。

【0054】

【数3】

$$\Delta D_r = w p - r p \quad \cdots (3)$$

【0055】クロック選択信号生成回路20は、式(2)に応じて算出した未処理データの量 ΔD_r に応じて、クロック選択信号clksselを生成する。また、未処理データの量 ΔD_r が所定の時間 T_r においてある所定の基準値 D_{mr} またはそれ以下に保持されている場合、クロック信号の供給を停止させるクロック停止信号clkstpを生成し、クロック生成回路10に出力する。なお、上記基準値 D_{mr} は、例えば、0に設定することができる。

【0056】図6は、受信時におけるクロック選択信号生成回路20の動作状態を示す状態遷移図である。図示のように、受信時に3つの動作状態、即ち、受信待機状態RST1、受信開始状態RST2及び受信停止状態(サスペンド状態)RST0が存在する。クロック選択信号生成回路20は、受信バッファ45に蓄積した未処理データの量 ΔD_r に応じて、これらの状態のうち何れかに保持される。初期状態として、クロック選択信号生成回路20は受信待機状態RST1に保持される。この状態において、クロック選択信号生成回路20は、クロック生成回路10にもっとも低い周波数のクロックを出力するようにクロック選択信号clksselを生成し、クロック生成回路10に出力する。そして、書き込みアドレスwpと読み出しアドレスrpが、(wp=rp)を満たしている間、即ち、未処理データの量 ΔD_r が0に保たれている間このクロック選択信号を出力し続ける。

【0057】受信待機状態RST1において、クロック選択信号生成回路20が(wp>rp)、即ち、受信バッファ45に未処理データを検出した場合、受信開始状態RST2に遷移する。受信開始状態RST2において、クロック選択信号生成回路20は、書き込みアドレスwp及び読み出しrpに応じて、クロック選択信号clksselの生成及び状態の遷移を制御する。例えば、(wp>rp)のとき、受信バッファの状態に応じてクロック選択信号clksselを適宜に生成し、一方、(wp=rp)の状態が時間 T_r 以上続いたとき、受信待機状態RST1に状態遷移する。

【0058】受信開始状態RST2において、クロック選択信号生成回路20は、式(3)に応じて未処理データ量 ΔD_r を算出し、これに応じてクロック選択信号clksselを適宜に生成する。例えば、時間 t における書き込みアドレス、読み出しアドレス及びクロック周波数をそれぞれwp(t)、rp(t)及びck(t)とすると、異なる二つの時刻 t_1 、 t_2 において、受信バッファ45の未処理データ量 ΔD_r (1)、 ΔD_r

、(t2)はそれぞれ次式に応じて算出される。

【0059】

【数4】

$$\Delta D, (t1) = wp(t1) - rp(t1)$$

$$\Delta D, (t2) = wp(t2) - rp(t2)$$

…(4)

【0060】クロック選択信号生成回路20は、 $\Delta D, (t1) > \Delta D, (t2)$ の場合、 $fck(t1) > fck(t2)$ を満たすようクロック選択信号 $clkse1$ を生成する。

【0061】クロック選択信号生成回路20は、受信待機状態RST1が時間 T_n 以上続いたとき、サスペンド状態RST0に移す。サスペンド状態RST0に移したあと、まずクロック選択信号生成回路20はクロック停止信号 $clkstp$ をクロック生成回路10に出力する。これに応じて、クロック生成回路10はクロック信号 clk の供給を停止するので、信号処理回路30及びフロントエンド50の動作がそれぞれ停止する。

【0062】サスペンド状態RST0において、クロック選択信号生成回路20は、受信バッファ45の状態を監視し続けて、受信バッファ45に未処理データがない場合、即ち($wp = rp$)の場合、サスペンド状態RST0に保持される。受信バッファ45に未処理データを検出した場合、即ち($wp > rp$)のとき、受信待機状態RST1に移す。

【0063】上述したように、クロック選択信号生成回路20は、受信バッファ45の状態、具体的に受信バッファ45に蓄積した未処理データの量 ΔD 、に対応して、受信待機状態RST1、受信開始状態RST2及びサスペンド状態RST0の何れかに保持される。それぞれの状態において、クロック選択信号生成回路20は受信バッファの未処理データ量 ΔD 、に応じてクロック選択信号 $clkse1$ またはクロック停止信号 $clkstp$ を適宜生成し、クロック生成回路10に供給することにより、信号処理回路30及びフロントエンド50の動作速度を最適に設定することができ、かつ受信データがない場合、信号処理回路30及びフロントエンド50の動作を停止させることによって、無駄な消費電力と不要な輻射の発生を防止できる。

【0064】図7は、本発明の通信装置における受信時の動作の流れを示すフローチャートである。以下、図7を参照しつつ、受信動作について説明する。受信動作開始後、まず、クロック選択信号生成回路20により、所定の周波数を持つデフォルトクロック信号 $clk0$ を選択するクロック選択信号 $clkse1$ または $clkse1$ が出力され、これに応じて信号処理回路30及びフロントエンド50にクロック信号 $clk0$ がそれぞれ供給される。フロントエンド50は、当該クロックにおいて通信路を介して送信側との接続を確立する(ステップSR1)。

【0065】次に、クロック選択信号生成回路20は、

受信待機状態に保持され(ステップSR2)る。この状態において、受信バッファ45に未処理データの有無を検出し、検出の結果に応じて受信をスタートさせる(ステップSR3)。

【0066】受信開始後、クロック選択信号生成回路20は、受信バッファ45のステータスを検出し(ステップSR4)、受信バッファ45に蓄積した未処理データの量 ΔD 、に応じて最適なクロック信号を選択するクロック選択信号 $clkse1$ を生成する(ステップSR5)。

【0067】そして、クロック生成回路10は、クロック選択信号 $clkse1$ により選択して最適なクロック信号 clk を生成し、信号処理回路30及びフロントエンド50にそれぞれ供給する。フロントエンド50は、供給されたクロック信号 clk において通信先との接続を確立し、通信路から受信データを受信し、受信バッファ45に書き込む(ステップSR6)。

【0068】そして、クロック選択信号生成回路20は、例えば、受信バッファ45の未処理データの量 ΔD 、に応じて、受信終了するかを判断する(ステップSR7)。受信を継続する場合、ステップSR4に戻る。このように、本実施形態の通信装置において、受信バッファ45に蓄積した受信データが0になるまで、蓄積した未処理データの量 ΔD 、に応じて最適なクロック信号を選択し、選択したクロック信号において送信側との接続を確立し、そして通信路から受信データを受けて受信バッファ45に書き込む一連の動作が繰り返して行われる。

【0069】上述したように、送信及び受信動作において、それぞれ送信バッファ41または受信バッファ45の蓄積データ量に応じて、信号処理回路30及びフロントエンド50に供給されるクロック信号 clk の周波数が最適に制御される。送受信がそれぞれ独立に行われている場合、例えば、もっとも高速なクロック信号を要求する方を優先してクロックの選択が行われる。また、送信装置と受信装置が別々に備わった通信装置において、送信装置と受信装置それぞれにおいて最適なクロック信号の選択を行うことも可能である。

【0070】また、上述送信動作において、クロック選択信号生成回路20は送信開始状態SST2において一定の時間以上送信データが検出されないとき送信開始状態SST2から送信待機状態SST1に移し、送信待機状態SST1に一定の時間以上保持されたあと、サスペンド状態SST0に移すように状態遷移が制御されるが、送信待機状態SST1を経由せず、直接サスペンド状態SST0に移すことも可能である。また、受信動作においても同様に、受信開始状態RST2において一定の時間以上受信データが検出されないとき送信開始状態RST2から受信待機状態RST1を経由せず、直接サスペンド状態RST0に移すように状態

の遷移を制御できる。

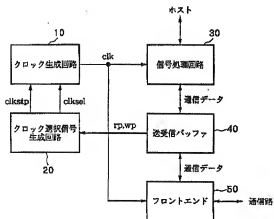
【0071】

【発明の効果】以上説明したように、本発明の通信装置によれば、通信速度に応じて必要最小限のクロック周波数を持つクロック信号を供給し、これに応じて送受信動作を行うことによって、消費電力の低減が図れると同時に、不要な輻射の発生を抑制できる。また、通信装置がハードウェアの制御により、サスペンド状態に制御することが可能であり、ソフトによる制御が回避され、CPUの負担を低減できる。さらに、送信、受信装置が別々に備わった通信装置において、送信と受信装置にそれぞれ最適なクロック周波数制御を実現できるので、非対称な通信方式においても通信装置における消費電力の低減及び不要な電磁輻射の抑制を実現できる利点がある。

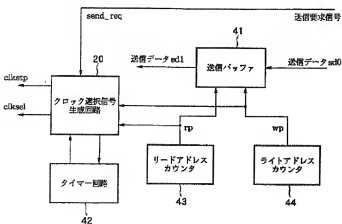
【図面の簡単な説明】

【図1】本発明に係る通信装置の一実施形態を示すブロック図である。

【図1】



【図2】



* 【図2】送信動作に係る部分回路の構成を示すブロック図である。

【図3】送信時のクロック選択信号生成回路の状態遷移図である。

【図4】送信時の動作を示すフローチャートである。

【図5】受信動作に係る部分回路の構成を示すブロック図である。

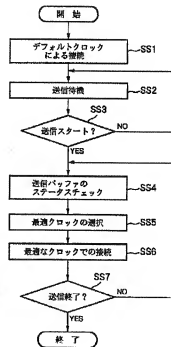
【図6】受信時のクロック選択信号生成回路の状態遷移図である。

10 【図7】受信時の動作を示すフローチャートである。

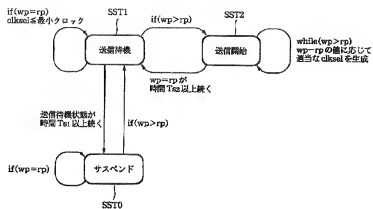
【符号の説明】

10…クロック生成回路、20…クロック選択信号生成回路、30…信号処理回路、40…送受信バッファ、41…送信バッファ、42…タイマー回路、43…リードアドレスカウンタ、44…ライトアドレスカウンタ、45…受信バッファ、46…ライトアドレスカウンタ、47…リードアドレスカウンタ、50…フロントエンド。

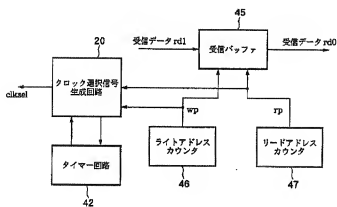
【図4】



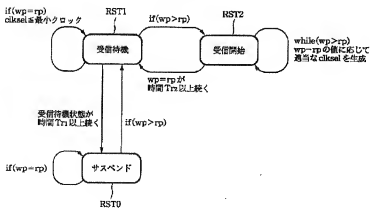
【図 3】



【図 5】



【図 6】



【図 7】

